

⑫ 公開特許公報 (A)

昭58—161378

⑬ Int. Cl.³
H 01 L 29/90

識別記号

庁内整理番号
7357—5F

⑭ 公開 昭和58年(1983)9月24日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 定電圧ダイオード

姫路市余部区上余部50番地東京
芝浦電気株式会社姫路工場内

⑯ 特 願 昭57—43191

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭57(1982)3月18日

川崎市幸区堀川町72番地

㉒ 発 明 者 田村建美

㉓ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

定電圧ダイオード

2. 特許請求の範囲

一導電型の半導体基板と、この半導体基板の
主面に形成された逆導電型のエピタキシャル層
と、このエピタキシャル層とショットキ接合を
形成する金属電極層とを具備したことを特徴と
する定電圧ダイオード。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、ICあるいは単体の素子として
製造される特にパンテスルー型の定電圧ダイオ
ードに関する。

〔発明の技術的背景〕

従来の定電圧ダイオードで特にパンテスルー
型のものとしては、第1図に示すような二重拡
散型のものや、第2図に示すようなエピタキシ
ヤル拡散型のものがある。第1図に示す二重拡
散型の場合は、N⁺形半導体基板10の表面よ

りP形不純物を拡散してP領域9を形成し、こ
のP領域9内にそのP形不純物を濃度的に打消
すようにN⁺領域8を拡散形成する。そして、
上記N⁺形半導体基板10および上記N⁺領域
8に金属電極6、7を形成し、この電極6、7
に対して導出リード6a、7aをそれぞれ接続
するようにしたものである。

また、第2図に示すエピタキシャル拡散型の
ものは、N⁺形半導体基板10上に成長形成さ
れたP形エピタキシャル層11の周辺部にN⁺
形アイソレーション領域12を形成し、上記P
形エピタキシャル層11上に形成された絶縁膜
13に設けた拡散窓よりN⁺領域8を拡散形成
したものである。そして、前記二重拡散型のダ
イオードの場合と同様に、N⁺形半導体基板
10およびN⁺領域8に金属電極6、7を形成
し、さらに導出リード6a、7aをそれぞれ接
続する。

このようなN⁺形領域に挟まれたP形領域を
有するパンテスルー形の定電圧ダイオードの動

作は第2図のエピタキシャル拡散型のものを例にとると次のようである。すなわち、 N^+ 形半導体基板10側に正の電圧を、 N^+ 領域8に負の電圧を印加した場合、 N 形半導体基板10とP形エピタキシャル層11が形成するPN接合部は逆バイアス状態となり、空乏層が成長する。またP形エピタキシャル層11と N^+ 領域8とが形成するPN接合部は、順バイアス状態となり、空乏層は殆んど伸びない。印加電圧が増加すると、それに伴ない N^+ 形半導体基板10とP形エピタキシャル層11とで形成する逆バイアス状態のPN接合部の空乏層がP形エピタキシャル層11方向に伸び、ついに N^+ 領域8とで形成する順バイアス状態の空乏層に達する。このときパンチスルー状態となり、微小な印加電圧の増加に対し急激に電流が増加するようになり、この電流電圧特性を定電圧ダイオードとして利用する。

〔背景技術の問題点〕

このような構造と電流電圧特性を有する従来

3

層を形成し、そのエピタキシャル層表面にショットキ接合を形成する金属層を形成するもので、上記半導体基板とエピタキシャル層とが形成するPN接合部の空乏層が、上記ショットキ接合部に達するパンチスルー現象を利用する。

〔発明の実施例〕

以下図面を参照してこの発明の一実施例につき説明する。第3図(A)~(D)はこの発明に係る定電圧ダイオードを製造過程と共に説明する図で、まず(A)図に示すように、比抵抗 $0.01[\Omega\text{cm}]$ 程度の N^+ 形半導体基板10の主面に、エピタキシャル成長法を用いて比抵抗 $12\sim15[\Omega\text{cm}]$ のP形エピタキシャル層11を $3.0\sim3.3[\mu\text{m}]$ 程度の厚さで形成する。続いて、このP形エピタキシャル層11の表面に、CVD法により絶縁膜として厚さ約 $1[\mu\text{m}]$ のシリコン酸化膜14を形成する。

次に、特に図で示していないが島領域となる部分を除いて写真蝕刻法によつて上記酸化膜14を除去し、P形エピタキシャル層11内に

5

の定電圧ダイオードにおいて、まず前記二重拡散型のものは、P形領域を形成するために、かなり高濃度のP形不純物拡散を行なう必要がある。このように、不純物濃度を高くすると、低い定電圧領域を有するダイオードを得ることができない。また、第2図で示したエピタキシャル拡散型のものは、パンチスルー電圧がエピタキシャル層11と N^+ 領域8の拡散深さに依存し、パンチスルー電圧を所定値に制御するのが困難で、パンチスルー電圧が大きくばらつくなどの欠点があつた。

〔発明の目的〕

この発明は上記のような点に鑑みてなされたもので、ばらつきが少なく、低電圧から高電圧に渡り広い範囲でパンチスルー電圧を設定できるパンチスルー型の定電圧ダイオードを提供しようとするものである。

〔発明の概要〕

すなわち、この発明に係る定電圧ダイオードは、導電体基板上に逆導電型のエピタキシャル

4

N 形不純物を拡散して、 N^+ 形半導体基板10に達する N^+ 形アイソレーション領域12を形成する。そして、さらに全面に前記と同様にシリコン酸化膜を形成し、(B)図に示すように、 N^+ 形アイソレーション領域12で囲まれたP形エピタキシャル層11上に開口部15を写真蝕刻法によつて形成する。

続いて、(C)図に示すように、スパッタリング法を用い、開口部15を覆うように金属電極層としてモリブデン電極層16を形成する。ここで、このモリブデン電極層16はP形エピタキシャル層11と接触面においてショットキ接合を形成している。その後、同様の手法で上記モリブデン電極層16上にアルミニウム電極層17を形成する。

上記のようなモリブデン電極層16とアルミニウム電極層17による二層電極層を形成後、(D)図に示すように上記半導体基板10に電極部18を形成し、この電極部18および二層電極層にそれぞれ導出リード18a、17aを接続

6

形成して定電圧ダイオードとする。

このような構成のパンチスルー型の定電圧ダイオードにおいて、まず N^+ 形半導体基板 10 側をプラス、モリブデン電極層 16 側をマイナスに電圧印加すると、 N^+ 形半導体基板 10 と P 形エピタキシャル層 11 でつくる P/ N^+ 接合は逆バイアスとなり、空乏層は主として P 形エピタキシャル層 11 側へ伸びる。一方、モリブデン電極層 16 と P 形エピタキシャル層 11 とでつくるショットキ接合は順バイアスとなり、空乏層は殆んど伸びない。印加電圧が増し、前記逆バイアスの空乏層にまで達すると、パンチスルー状態となり、これ以上印加電圧を増そうとしても、このダイオードにおける電位降下すなわちパンチスルー電圧は殆んど変わらず、電流が急激に増すのみである。従つてこのような電流電圧特性は定電圧ダイオードとして利用できる。

このように構成されたパンチスルー型の定電圧ダイオードと、従来のパンチスルー型の定電圧ダイオードとの、製品個数 n に対するパンチ

7

有する定電圧ダイオードについて説明したが、この発明は P^+ 形半導体基板に N 形エピタキシャル層を形成し、その上にショットキ接合を形成する金属電極層を形成したような N/P^+ 型のものにも適用できることは勿論である。また、金属電極層についても、モリブデンの他、例えば、金 (Au)、白金 (Pt)、バナジウム (V)、タタン (Ti)、クロム (Cr) など、半導体材料とショットキ接合を形成するような他の金属材料を使用できる。

〔発明の効果〕

以上のようにこの発明によれば、PN 接合を形成する半導体基板とエピタキシャル層に、上記 PN 接合と逆方向整流特性を有するようなショットキ接合を形成する金属電極層を形成したことにより、低電圧のパンチスルー電圧も設定可能で、設定定電圧のばらつきの著しく改善されたパンチスルー型の定電圧ダイオードを提供できる。

9

スルー電圧分布を第 4 図に示す。この図で明らかなように、製品のパンチスルー電圧すなわち定電圧ダイオードの設定電圧は、精度良く制御されたものとなる。

これは、上記実施例で示したような定電圧ダイオードでのパンチスルー電圧が P 形エピタキシャル層 11 の厚さ t (第 3 図 (D) 参照) で殆んど決定されるため、従来パンチスルー電圧に影響していた P 形エピタキシャル層 11 などの P 形領域内に形成された N^+ 領域における拡散深さのばらつきの影響がないためである。

すなわち、P 形エピタキシャル層 11 の厚さを所定値に設定すれば、ばらつきを著しく小さくすることができ、希望するパンチスルー電圧を容易且つ確実に設定することができる。また、P 形エピタキシャル層 12 は、高濃度の P 形不純物を含んでいる必要がないため、低電圧のパンチスルー電圧すなわち低電圧の設定電圧を得ることもできる。

なお、上記実施例では P/ N^+ 型の PN 接合を

8

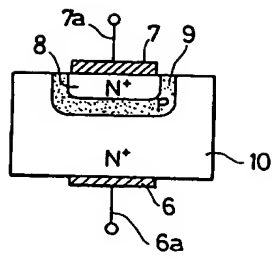
4. 図面の簡単な説明

第 1 図および第 2 図は従来のパンチスルー型の定電圧ダイオードを説明する断面図、第 3 図 (A) ~ (D) はこの発明の一実施例に係る定電圧ダイオードをその製造過程と共に示す断面図、第 4 図はこの発明による定電圧ダイオードのパンチスルー電圧の分布を示す図である。

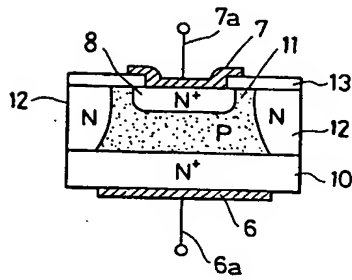
10 ... N^+ 形半導体基板、11 ... P 形エピタキシャル層、16 ... モリブデン電極層。

出願人代理人 弁理士 鈴 江 武 彦

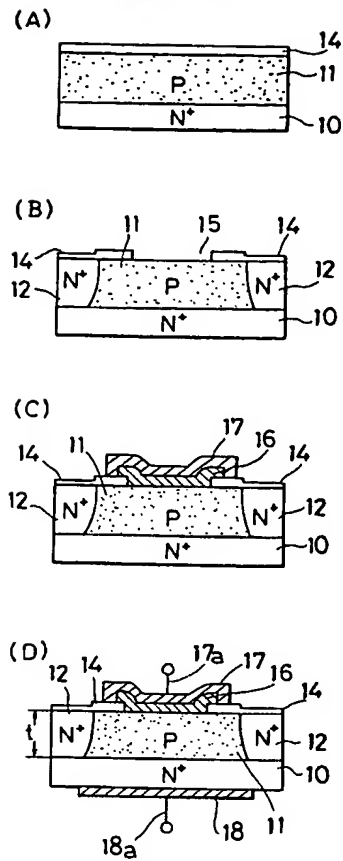
第 1 図



第 2 図



第 3 図



第 4 図

